

Requested Patent: JP2000285013A

Title: INTERFACE DEVICE ;

Abstracted Patent: JP2000285013 ;

Publication Date: 2000-10-13 ;

Inventor(s): ASANO MASANARI ;

Applicant(s): FUJI FILM MICRODEVICES CO LTD;; FUJI PHOTO FILM CO LTD ;

Application Number: JP19990089367 19990330 ;

Priority Number(s): ;

IPC Classification: G06F12/02; G06F13/16; G11C7/00; G11C11/407 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an interface device connected between a CPU and an SDRAM and capable of quickly reading out data from the SDRAM by control similar to that of the DRAM. **SOLUTION:** The interface device for controlling an access from the CPU 2 to the SDRAM 3 is provided with a storage means 12 for storing a read starting column address applied from the CPU 2 and a control means 11 for receiving a row address and a CAS signal from the CPU 2, supplying an ACT command for specifying the row address to the SDRAM 3, supplying a READ command for specifying and reading out the column address stored in the storage means 12 to the SDRAM 3, and supplying data read out from the SDRAM 3 to the CPU 2.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-285013
(P2000-285013A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 12/02	5 9 0	G 0 6 F 12/02	5 9 0 A 5 B 0 2 4
13/16	5 1 0	13/16	5 1 0 H 5 B 0 6 0
G 1 1 C 7/00	3 1 2	G 1 1 C 7/00	3 1 2 Z
11/407		11/34	3 6 2 S

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平11-89367

(22) 出願日 平成11年3月30日(1999.3.30)

(71) 出願人 391051588

富士フイルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平1丁目6番地

(71) 出願人 000005201

富士写真フイルム株式会社
神奈川県南足柄市中沼210番地

(72) 発明者 横野 眞成

宮城県黒川郡大和町松坂平1丁目6番地
富士フイルムマイクロデバイス株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

Fターム(参考) 5B024 AA15 BA29 CA15

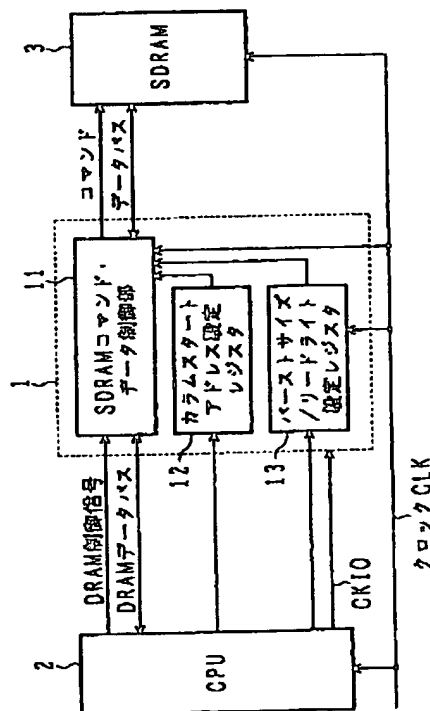
5B060 AB13 AB19

(54) 【発明の名称】 インターフェース装置

(57) 【要約】

【課題】 DRAMと同様な制御により、高速にSDRAMからデータを読み出すことのできるCPUとSDRAMとの間のインターフェース装置を提供することを課題とする。

【解決手段】 CPUからSDRAMへのアクセスを制御するインターフェース装置であって、CPUから与えられた読み出し開始のカラムアドレスを保持する保持手段(12)と、CPUからローアドレス及びCAS信号を受け、該ローアドレスを指定するためのACTコマンドをSDRAMに供給し、続いて保持手段が保持するカラムアドレスを指定して読み出すためのREADコマンドをSDRAMに供給し、SDRAMから読み出したデータをCPUに供給する制御手段(11)とを有するインターフェース装置。



【特許請求の範囲】

【請求項1】 CPUからSDRAMへのアクセスを制御するインターフェース装置であって、

前記CPUから与えられた読み出し開始のカラムアドレスを保持する保持手段と、

前記CPUからローアドレス及びCAS信号を受け、該ローアドレスを指定するためのACTコマンドをSDRAMに供給し、続いて前記保持手段が保持するカラムアドレスを指定して読み出すためのREADコマンドをSDRAMに供給し、SDRAMから読み出したデータをCPUに供給する制御手段とを有するインターフェース装置。

【請求項2】 前記保持手段はバーストサイズをも保持し、

前記制御手段は、前記保持手段が保持するバーストサイズをSDRAMに設定し、前記読み出し開始のカラムアドレスから連続するバーストサイズのデータをSDRAMから読み出しCPUに供給する請求項1記載のインターフェース装置。

【請求項3】 前記制御手段は、SDRAMからの読み出しが終了する毎に、前記保持手段に保持された前記読み出し開始のカラムアドレスに前記バーストサイズを加算することにより新たな読み出し開始のカラムアドレスを設定する更新手段を有する請求項2記載のインターフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリへのアクセス制御技術に係わり、特に、CPUがSDRAMからデータを読み出すインターフェース装置に関する。

【0002】

【従来の技術】コンピュータやデジタル信号処理装置などでは、CPUから高速にアクセスできるメモリとして、DRAMの代わりにSDRAM (Synchronous Dynamic Random Access Memory) が使用されることが増加してきた。

【0003】DRAMは、CPUのようなデータを利用するホストからの制御信号であるRAS (Row Address Strobe) 信号、CAS (Column Address Strobe) 信号及びWE (Write Enable) 信号などにより制御されてデータが読み出されたり、書き込まれたりする。例えば、RAS信号の立下りでローアドレスを指定し、CAS信号の立下りでカラムアドレスを指定し、両アドレスで特定される番地から、データの読み出しあるいは書きこみが行われる。

【0004】一方、SDRAMはDRAMに比べてより高速アクセスが可能であって、CPUのクロック信号に同期してアクセスが制御される。SDRAMのアクセス制御には、アクチベーションと称するACTコマンドに

よりローアドレスが指定され、ACTコマンドから所定クロック数だけ遅れて出るREADコマンドによるカラムアドレスが指定される。READコマンドから所定クロック数 (CASレイテンシ (Latency)) だけ遅れてデータの読み出しが行われる。例えば、CASレイテンシが2と言う場合は、READコマンドから2クロック遅れてデータの読み出しが行われることを意味する。このように、SDRAMのアクセスはCPUのクロック信号に同期してアクセス動作が管理され進行する。

【0005】

【発明が解決しようとする課題】従来のCPUの多くは、DRAMに対応しているが、SDRAMには対応していない。そのような、元来SDRAM対応でないCPUに、SDRAMを接続してアクセスを可能とする場合には、CPU側から見た場合にはあくまでも通常のDRAMあるいはEDO (Extended Data Output) タイプのDRAMが接続されていると見なせる環境を作る必要がある。このような環境を作るインターフェース回路をCPUとSDRAMとの間に用意する場合がある。

【0006】例えば、図5に示すインターフェース回路が考えられる。CPU 20はDRAMへのアクセスを制御するためのRAS、CAS、WE信号等を発生する。インターフェース回路 21は、SDRAM 22とCPU 20との間に接続されていて、CPU 20からの制御信号を変換して、SDRAM 22の制御信号であるACTコマンドやREADコマンドなどを生成してSDRAM 22へのアクセスを制御する。

【0007】図6～図9にSDRAMインターフェース回路の動作タイミングチャートを示す。図6は、CPU 20がクロックCLKの1/2分周のクロックCKIOで制御し、シングルリードアクセスで通常モードの動作をする場合である。図7は、シングルリードアクセスでEDOモードの動作をする場合である。

【0008】図6及び図7において、CPU 20は、読み出し要求のためのRAS信号とCAS信号を図示のタイミングで発生し、インターフェース回路 21に与える。RAS信号の立下りでインターフェース回路 21はACTコマンドをSDRAMに供給する。ACTコマンドによりローアドレスがSDRAM 22に与えられる。

【0009】次に、インターフェース回路 21は、CPU 20からのCAS信号の立下りに応答してREADコマンドをSDRAM 22に供給する。READコマンドによりカラムアドレスがSDRAM 22に与えられる。READコマンドから2クロック (CASレイテンシ) 遅れてSDRAM 22からデータが読み出されてインターフェース回路 21にラッチされる。CPU 20は、DATAラッチのタイミングの後、次のCKIOの立上りのタイミングでインターフェース 21にラッチされているデータを取り込む。

【0010】この際に、図6の通常モードの場合には、CAS信号の立上り前のCKIOの立上がりでデータを取り込むために、CAS信号の立上りが2サイクルウェイト(Wait)となっているが、図7のEDOモードの場合には、CAS信号の立上りのタイミングの次のCKIOの立上がりでデータを取り込むという規定(その間データを保持する。)になっている。CAS信号の立上りが1サイクルウェイト(Wait)と短くすることができる。

【0011】通常モードとEDOモードとでは、今回のデータの読み出し速度は同じであるが、EDOモードは通常モードよりもCAS信号を速く立ち上げることができる。このため、次のデータを高速に読み出すことができる。

【0012】次に、図8は、CPU20がクロックCLKの1/2分周のクロックCKIOで動作し、高速ページリードアクセスで通常モードの動作をする場合である。図9は、高速ページリードアクセスでEDOモードの動作をする場合である。高速リードアクセスは、同じローアドレスで連続するカラムアドレスのデータを読み出す動作である。例えば、続けて2カラム分のデータを読み出す場合を説明する。

【0013】図8及び図9におけるデータ読み出し動作は、基本的には図6及び図7のシングルリードと同じである。但し、高速ページリードアクセスでは、RAS信号の立下りから立上りまでの期間に、二つのCAS信号の立下りのタイミングで順次READコマンドが発生してデータの読み出しが続けて行われる。

【0014】図8の通常モードでは、CAS信号が2サイクルウェイトになり、図9のEDOモードではCAS信号が1サイクルウェイトになる。図9におけるEDOモードでは、CAS信号が1サイクルウェイトになった効果が読み出し速度の速さに現れる。EDOモードの読み出し速度の向上は、連続読み出しデータ数が多いほどより効果的であることが明らかであろう。

【0015】このようなSDRAM用インターフェース回路では、シングルリードにしても高速ページリードにしても、CAS信号のウェイト期間が必要であるので、SDRAMの高速性を十分に生かすことができなかった。

【0016】本発明の目的は、このようなCAS信号のウェイトを少なくして、より高速にSDRAMからデータを読み出すことのできるCPUとSDRAMとの間のインターフェース装置を提供することにある。

【0017】

【課題を解決するための手段】本発明の一観点によれば、CPUからSDRAMへのアクセスを制御するインターフェース装置であって、前記CPUから与えられた読み出し開始のカラムアドレスを保持する保持手段と、前記CPUからローアドレス及びCAS信号を受け、該

ローアドレスを指定するためのACTコマンドをSDRAMに供給し、続いて前記保持手段が保持するカラムアドレスを指定して読み出すためのREADコマンドをSDRAMに供給し、SDRAMから読み出したデータをCPUに供給する制御手段とを有するインターフェース装置が提供される。

【0018】カラムアドレスのスタートアドレスをあらかじめ保持手段に保持しておいて、CPUからのRAS信号に応答して、その後はCAS信号にかかわらず、保持手段に保持してあるカラムアドレスのスタートアドレスに基づいて、順次データをSDRAMから読み出す。

【0019】

【発明の実施の形態】1フレームの画像データは、フレームメモリに格納される。フレームメモリは、通常、DRAM又はSDRAMである。各ラインの画像データは、高速ページアクセスにより、フレームメモリの各ローアドレスに格納される。画像データは、フレームメモリの連続するアドレスに順次書き込まれる。そして、フレームメモリ内の画像データは、連続するアドレスから順次読み出される。このような連続するアドレスから読み出しを行う際に、特に、本発明の実施例の利用価値が高い。

【0020】図1は、本発明の実施例によるSDRAM用インターフェース装置を使用するデータ読み出しシステムのブロック図である。本発明の実施例のインターフェース回路1は、CPU2とSDRAM3との間に接続されていて、CPU2からのDRAM用の制御信号を変換して、SDRAM3の制御信号であるACTコマンドやREADコマンドなどを生成してSDRAM3へのアクセスを制御する。CPU2は実効的にはSDRAM3へのアクセスをするが、CPU2側からはあくまでも相手がDRAMであると見なしてRAS、CAS、WE信号等の制御信号を発生する。

【0021】クロックCLKは、例えば100MHzであり、CPU2とインターフェース回路1とSDRAM3へ供給される。CPU2は、クロックCLKを分周して、周期が2倍のクロックCKIOを生成する。CPU2は、クロックCKIOに同期して、インターフェース回路1を介してSDRAM3を制御する。

【0022】インターフェース回路1は、内部にSDRAM制御用のコマンドの発生とデータの転送やラッチを制御する制御部11と、カラムスタートアドレスを設定するレジスタ12と、バーストサイズとリード/ライト指定を設定するレジスタ13とを有する。

【0023】ここで、図2及び図3のタイミングチャートを参照してその読み出し動作について説明する。図2は、1/2分周のクロックCKIOで動作し、高速ページリードアクセス(バーストサイズ=2)で通常モードの動作をする場合である。図3は、同じくクロックCKIOで動作し、高速ページリードアクセス(バーストサ

イズ=2)でEDOモードの動作をする場合である。

【0024】バーストサイズは、同じローアドレス内で連続するカラムアドレスから読み出すデータ数(ワード数)であり、例えば、1, 2, 4, 8, 16, Fullの中から選ぶことができる。Fullは、全カラムアドレス数であり、例えば256又は512である。なお、SDRAM3のCASレイテンシは2とする。

【0025】SDRAM3からのデータの読み出しの前に、CPU2は、最初のカラムスタートアドレスと、バーストサイズと、読み出し(リード)の指定をあらかじめレジスタ12と13に書き込む。

【0026】まず、インタフェース回路1は、モード設定のコマンドをSDRAM3に供給し、バーストサイズ(例えば2)を指定する。

【0027】次に、CPU2は通常のDRAMと同じように高速ページモードでアクセス動作を開始する。インターフェース回路1の制御部11は、CPU2からの最初のRAS信号の立下りを検出し、CPU2からその時に供給されるローアドレスを指定し、ACTコマンドをSDRAM3に供給する。その後、CAS信号の立下りを待たずに、レジスタ12に設定してあるカラムスタートアドレスを指定し、READコマンドをSDRAM3に供給する。

【0028】SDRAM3は、設定してあるバーストサイズに従い、指定されたカラムスタートアドレスから連続する2個のカラムアドレスをアドレスとし、2個のデータを読み出してインターフェース回路1に出力する。

【0029】インターフェース回路1は、その2個のデータを保持する。1個目のデータは、直ちにインターフェース回路1からCPU2へ供給され、その後のクロックCKIOの立上りでCPU2がそのデータを取りこむ。次に、2個目のデータがインターフェース回路1からCPU2へ供給され、その後のクロックCKIOの立上りでCPU2がそのデータを取りこむ。

【0030】本実施例では、SDRAM3のバースト読み出しを効率的に利用することにより、CPU2は、高速にデータを読み出すことができる。図2の通常モードと図8の通常モードについて、CPU2の読み出し速度を比較する。CPU2の読み出し完了タイミングは、図中のクロックCKIOの○印のタイミングである。

【0031】CPU2が1個目のデータを読み出す速度は、両者とも同じである。2個目のデータ読み出しでは、図2の通常モードの方が図8のものよりもクロックCKIOの2クロック分(クロックCLKの4クロック分)速い。

【0032】図3のEDOモードと図9のEDOモードを比較する。CPU2が1個目のデータを読み出す速度は、両者とも同じである。2個目のデータ読み出しでは、図3のEDOモードの方が図9のものよりもやはりクロックCKIOの2クロック分(クロックCLKの4

クロック分)速い。

【0033】この速度向上の効果は、読み出しバーストサイズが大きいほど大きくなる。以上のように、カラムスタートアドレスを予め設定しておき、RAS信号の立下りのタイミングでACTコマンド及びREADコマンドを連続的にSDRAMに供給する。READコマンドの供給は、CAS信号の状態に関係なく行われる。したがって、CAS信号の立下りと共に、CPU2から供給されるカラムアドレスは無視される。そして、SDRAMの高速ページリードアクセス(バースト読み出し)を利用することにより、高速にデータを読み出すことができる。

【0034】CPU2は、DRAM制御と同様に、RAS信号、CAS信号、ローアドレス及びカラムアドレスをインタフェース回路1に供給する。インタフェース回路1は、それらDRAMの制御信号を受けて、ACTコマンド及びREADコマンドを含むSDRAM用コマンドをSDRAM3に供給する。CPU2は、DRAMと同様なメモリ制御をしつつも、SDRAMから高速にデータを読み出すことができる。

【0035】現在では、DRAMよりもSDRAMの方が手に入りやすくなってきた。旧型のCPUは、DRAMに対応しているが、SDRAMには対応していないものが多い。そのようなCPUであっても、SDRAMを接続して使用することが可能になる。

【0036】図4を参照して、連続する大容量のデータを読み出す実施例を説明する。図4は、図1のカラムスタートアドレス設定レジスタ12の別の構成を示す。図1の実施例の場合であると、バーストサイズ分のデータが読み出されると、次のバーストサイズのデータの読み出しのためには、CPU2が次のカラムスタートアドレスを設定する必要がある。このカラムスタートアドレスの設定のためのオーバーヘッドの時間を節約するために、カラムスタートアドレスの設定を自動的に更新する手段を設けた。

【0037】まず、セレクト15は、CPU2から指定されたカラムスタートアドレスA1を選択して、レジスタ12に供給する。レジスタ12内のカラムスタートアドレスに応じて、上記の最初のデータ読み出しが終了すると、レジスタ12に設定されていたカラムスタートアドレス値A3にCPU2から指令されたバーストサイズA2を加算器14で加算する。

【0038】セレクト15は、アクセス終了信号に応じて、その加算値A4をレジスタ12に供給する。アクセス終了信号は、バーストサイズ分のデータ読み出し終了により生成される。レジスタ12には、新たなカラムスタートアドレスが自動更新される。この更新されたカラムスタートアドレスでSDRAM3に対して再び読み出し動作が開始される。

【0039】例えば、1024バイトのデータを16バ

イトのバーストサイズで読み出す場合、この自動更新モードを使用しない場合、64回のカラムスタートアドレス設定をCPU2が行う必要があり、その64回分のオーバーヘッドがかかる。これに対して、自動更新モードを使用することによって、最初の1回のカラムスタートアドレスの設定のオーバーヘッドのみで、その後はバーストアクセスを繰り返すことができる。繰り返し回数は、読み出しデータ数をバーストサイズで除算することにより得られる。

【0040】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0041】

【発明の効果】以上説明したように、本発明によれば、カラムスタートアドレスをあらかじめ保持する手段をインターフェース装置に設けたことによって、CPUはDRAMと同様な制御方法により高速にSDRAMからデータを読み出すことができる。

【図面の簡単な説明】

【図1】本発明の実施例によるインターフェース装置を使用したSDRAMのアクセス制御システムの構成を示すブロック図である。

【図2】本発明の実施例によるインターフェース装置を使用する通常モードのデータ読み出しの動作タイミングチャートである。

【図3】本発明の実施例によるインターフェース装置を使用するEDOモードのデータ読み出しの動作タイミングチャートである。

【図4】本発明の別の実施例によるインターフェース装置のカラムスタートアドレスの自動更新手段のブロック図である。

【図5】インターフェース装置を使用したSDRAMのアクセス制御システムの構成を示すブロック図である。

【図6】図5のインターフェース装置を使用する通常モードのシングルリードアクセスの動作タイミングチャートである。

【図7】図5のインターフェース装置を使用するEDOモードのシングルリードアクセスの動作タイミングチャートである。

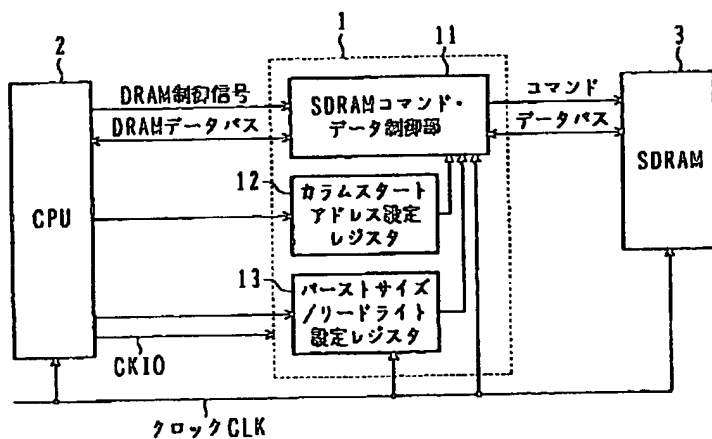
【図8】図5のインターフェース装置を使用する通常モードの高速ページリードアクセスの動作タイミングチャートである。

【図9】図5のインターフェース装置を使用するEDOモードの高速ページリードアクセスの動作タイミングチャートである。

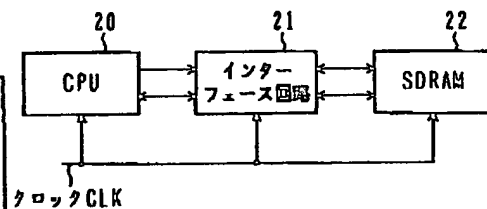
【符号の説明】

- 1 インターフェース回路
- 2 CPU
- 3 SDRAM
- 11 制御部
- 12 カラムスタートアドレス設定レジスタ
- 13 バーストサイズ設定レジスタ
- 14 加算器
- 15 セレクタ
- 20 CPU
- 21 インターフェース回路
- 22 SDRAM

【図1】

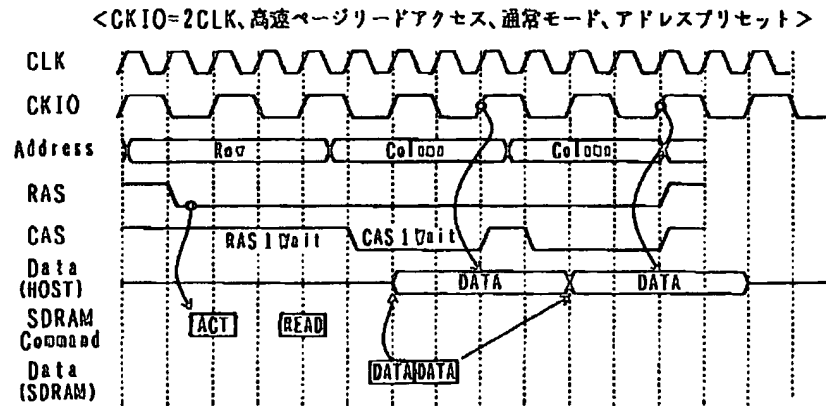


【図5】



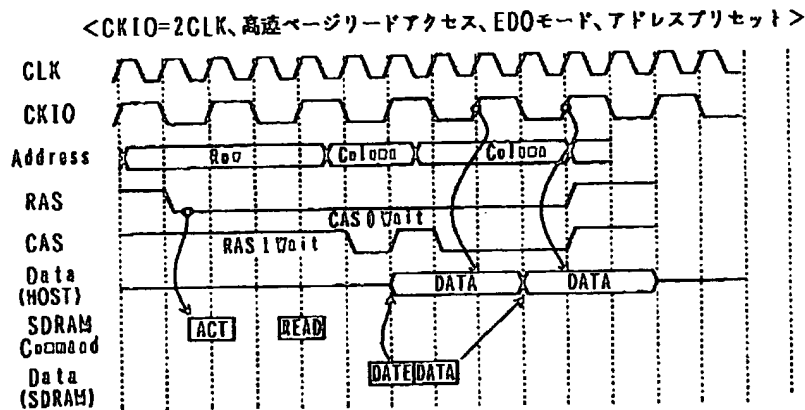
【図2】

本発明の実施例によるSDRAMインタフェースタイミング

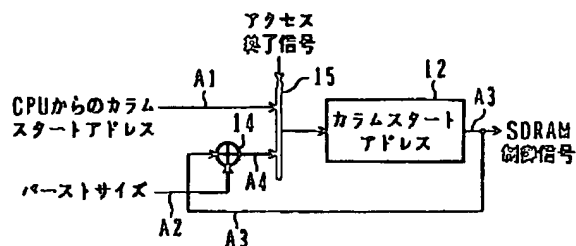


【図3】

本発明の実施例によるSDRAMインタフェースタイミング



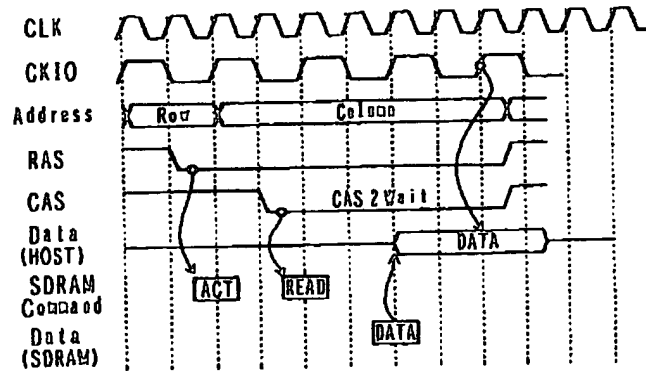
【図4】



【図6】

SDRAMインタフェースタイミング

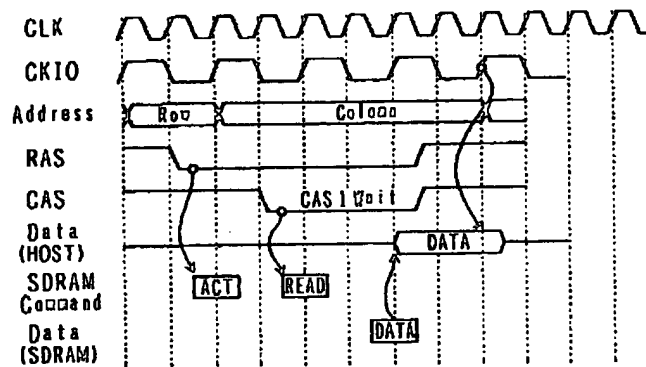
<CKIO=2CLK、シングルリードアクセス、通常モード>



【図7】

SDRAMインタフェースタイミング

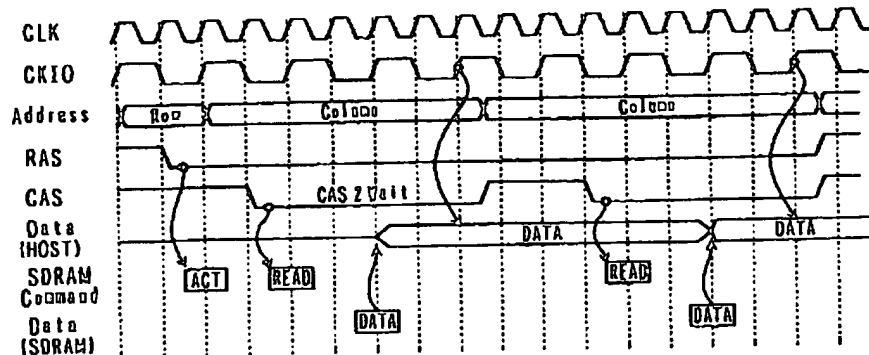
<CKIO=2CLK、シングルリードアクセス、E00モード>



【図8】

SDRAMインタフェースタイミング

<CKIO=2CLK、高速ページリードアクセス、通常モード>



【図9】

SDRAMインタフェースタイミング

<CKIO=2CLK、高速ページリードアクセス、EDOモード>

